

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

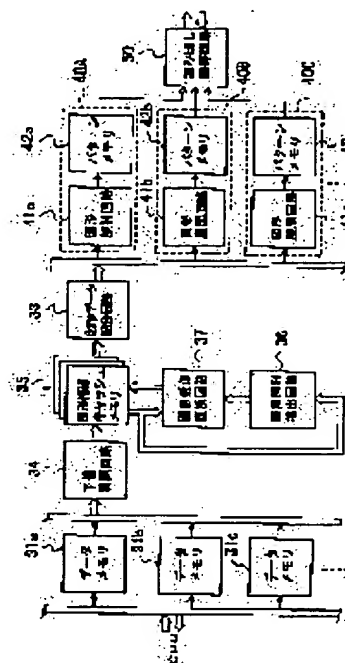
THIS PAGE BLANK (USPTO)

(43)Date of publication of application : 11.04.2000

G06T 7/00
G01N 21/88
G02F 1/13
G03F 1/08
H01L 21/027

(71)Applicant : TOSHIBA CORP
(72)Inventor : NAKAJIMA KAZUHIRO
TSUCHIYA HIDEO
ISOMURA YASUNAO

SOLUTION: An adjacent graphic detecting circuit 36 judges whether or not graphics can be put together and approximated by comparing vertex coordinates of newly read-in graphics with vertex coordinates which are previously held inside, and holds the addresses of those graphics when it is judged that they can be put together. A graphic approximate substituting circuit 37 outputs graphic information from a graphic information cache memory 35 as it is to graphic expanding means 40A to 40C composed of graphic expanding circuits and a pattern memories as to a graphic group which does not have discrimination information showing that composition is possible. For a graphic group having the identification information, a composite graphic shape is calculated by being approximated by one graphic, the graphic information in the graphic information cache memory 35 is rewritten, and the rewritten approximate graphic is outputted to the graphic expanding means 40A to 40C.



[Date of extinction of right]

03/01/30 10:56

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-105832

(P2000-105832A)

(43) 公開日 平成12年4月11日 (2000. 4. 11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 T 7/00		G 0 6 F 15/62	4 0 5 A 2 G 0 5 1
G 0 1 N 21/88		G 0 2 F 1/13	1 0 1 2 H 0 8 8
G 0 2 F 1/13	1 0 1	G 0 3 F 1/08	S 2 H 0 9 5
G 0 3 F 1/08		G 0 1 N 21/88	6 1 0 5 B 0 5 7
H 0 1 L 21/027			6 4 5 A

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-275685

(22) 出願日 平成10年9月29日 (1998. 9. 29)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中島 和弘

神奈川県川崎市幸区小向東芝町1 株式会社
東芝研究開発センター内

(72) 発明者 土屋 英雄

神奈川県川崎市幸区小向東芝町1 株式会社
東芝研究開発センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外3名)

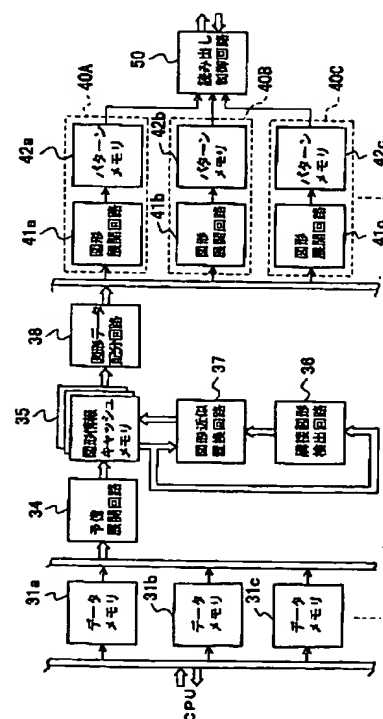
最終頁に続く

(54) 【発明の名称】 パターン検査装置、パターン検査方法およびパターン検査プログラムを格納した記録媒体

(57) 【要約】

【課題】 パターン検査装置の検査処理速度の短縮化を目的とする。

【解決手段】 本発明のパターン検査装置は、設計データにもとづいて検査基準パターンデータを生成する検査基準データと、前記設計データに基づき作製された試料のパターンを測定して得た測定パターンデータとを比較照合することでパターン検査を行う装置であって、検査基準データ生成部が、順次一定領域ごとの設計データを読み出し、各設計データを要素図形に分け、各要素図形の形状、位置、寸法情報を含む図形情報を抽出する予備展開手段と、前記予備展開手段で抽出された図形情報を記憶保持する図形情報記憶手段と、前記図形情報記憶手段に保持された図形情報を読み出し、各図形情報における複数の要素図形を合成して新たな要素図形に置換するとともに、これに応じて発生する新たな図形情報で、前記図形情報記憶手段中の図形情報を書き換える図形合成置換手段と、前記新たな図形情報に基づき、要素図形情報をビットパターンに展開する図形展開手段とを有する。



3

ターン検査技術の開発が進んでいる。

【0003】図9は、従来のフォトマスクパターン検査装置の全体構成を示すブロック図である。このパターン検査装置では、顕微鏡と同様な光学系を用いてフォトマスク等の被測定試料1の上に形成されているパターンを所定の倍率に拡大して検査する。

【0004】すなわち、試料台(XYθテーブル)2上に被測定試料(フォトマスク)1を載置し、適切な光源3及び集光レンズ7によってフォトマスク1に形成されているパターンをほぼ1画素分をカバーする大きさのビームで照射する。例えば図10(a)に示すように、被測定試料1上のパターンは細長い短冊T₁, T₂, T₃, ……T_nに分割され、各短冊T₁, T₂, T₃, ……T_n上を图中矢印に示すように連続的にビーム走査することによってパターン欠陥が検査される。具体的には図10

(b)に示すように、1画素分の幅Pで試料台2を駆動して、長さWをスキャンし、これを単位ストライプとし、次々と単位ストライプを逐次移動して、短冊T₁をスキャンする。同様に図10(a)に示すように短冊T₂, T₃, T₄, ……T_nを往復走査(スキャン)する。

【0005】図9に示すように、フォトマスク1を透過した光は拡大光学系4を介して、フォトダイオードアレイ5に入射し、フォトダイオードアレイ5上にフォトマスク上のパターンの光学像を結像する。結像されたパターンの像は、フォトダイオードアレイ5によって光電変換され、測定信号を出力する。

【0006】この測定信号はさらにセンサ回路6によってA/D変換され、測定パターンデータとなる。この測定パターンデータは、比較回路14に入力される。一方、試料台2上におけるフォトマスク1の位置はレーザ測長システム16によって測定され、位置回路15に入力される。位置回路15から出力されたフォトマスク1の位置データも、測定パターンデータと共に比較回路14に送られる。

【0007】一方、フォトマスク1上へのパターン形成は、通常電子ビーム描画装置を用いて形成されるが、この際描画に用いた設計データが、磁気ディスク等のデータメモリ21からホスト計算機であるCPU10を通して、検査基準データを生成するビットパターン発生回路12に送られる。設計データは、ここでビットパターンに展開され、図形イメージデータとして参照データ発生回路13に送られる。参照データ発生回路13では測定パターンデータが伴う、拡大光学系4の解像特性やフォトダイオードアレイ5のアパーチャ効果等の影響を考慮し、設計データに適切なぼかし処理を加え、参照データである検査基準パターンデータを生成する。

【0008】比較回路14は、測定パターンデータと適切なフィルタ処理が施された設計側データとを適切なアルゴリズムに従って比較し、一致しない場合には、パタ

4

ーン欠陥ありと判定する。

【0009】

【発明が解決しようとする課題】上述するように、従来のパターン検査装置においては、作製したフォトマスク試料の測定パターンデータと、フォトマスクの作製の際に使用した描画設計データに基づいて生成した検査基準パターンデータとを比較するデータベース比較方式によりパターン欠陥の判定を行っているが、この方式において、検査基準パターンデータは、次のような方法で生成されている。

【0010】ビットパターン発生回路12には、図11(a)に示すようなフォトマスク1の描画を行う際に描画装置で用いた描画ストライプごとの設計データ120が、さらに描画ストライプをいくつかのエリアに分けた形で入力される。例えば、図11(b)に示すようにエリア121にある設計データは、あらかじめ登録された図12に示す要素図形に分けられ、図13(c)に示すように、要素図形ごとに、対応要素図形の図形コード、図形配置位置、図形サイズ(辺の長さ)のデータを有する図形情報に予備展開される。さらにビットパターンに展開される。

【0011】従来のパターン検査装置においては、ビットパターンに展開する際、図形サイズの表現方法として、予め1ビットあたりの寸法(量子化寸法)を定めて、図形の原点からの座標位置や辺の長さを、ビット数で表現する記述方式(例えば1/100μmを単位として、0.3μmを“30”と表現する)が用いられている。一般的に用いられる浮動小数点方式などの実数表現での記述方法を用いたのでは、表現精度は高いものの一つのデータを現す語長(ビットサイズ)が32または64ビット必要となり全体のデータ容量がかさみ展開処理の負担が大きいためである。

【0012】しかし、量子化寸法を用いてビット数で表現する記述方式においても、設計データに含まれる図形のより詳細な形状を再現しようとするれば、図形表現のために必要となるビット数が過大となり、展開処理に時間がかかるようになる。例えば0.3μm角の正方形を0.01μm単位でビットパターンに展開したとするとパターンメモリにおいて30×30=900[bit]分のビットを立てる処理が必要になる。

【0013】一方、ビットパターン発生回路12でビットパターンを展開された設計データは、参照データ発生回路13において、光学系のMTF(Modulation Transfer Function)およびセンサの隣接画素間の非零結合などの特性を模擬したぼやけ関数を作用させて、ぼかし処理(フィルタ処理)がなされ、最終的な検査基準パターンデータとなる。即ち、測定パターンデータと比較する際には、設計パターンデータのエッジ部分は、このぼかし処理によりある程度ぼやけて曖昧になった状態で取り扱われる。

【0014】このような事情を踏まえれば、必要となる検査基準パターンデータの精度は、ある程度の精度を有するものであれば足りる。そこで、従来のビットパターン発生回路12では、測定データ計測に用いるセンサの観測画素寸法のせいぜい1/4程度の量子化寸法でビットパターンに展開するよう構成している。それでも、センサの観測対象である1画素に対して16倍のビットパターンを発生する必要があるため、このビットパターン展開処理に要する時間がパターン検査装置全体の処理速度を律速するほどの制約となる。

【0015】単純にビットパターン展開処理に要する時間を短縮化するには、量子化寸法を大きくすればよい。しかし、この方法では、使用された描画設計データが詳細な形状を表現していた場合に、本来の設計パターンのエッジ位置や穴、突起の寸法など詳細な形状を再現できなくなり検査精度が不十分となる。

【0016】例えば、上述例と同じ0.3 μ m角の正方形を0.3 μ m単位でビットパターンに展開する場合、パターンメモリ上に想定しているメッシュ位置と目的の正方形の位置が一致している場合はパターンのエッジ位置は正しく反映されるが、ずれた場合は、量子化寸法の1/2に相当する0.15 μ mものエッジ位置ずれを生じることになる。

【0017】このように、量子化寸法を小さくしてビットパターンの発生精度を上げることと、データの発生ビット数を減らして処理速度を上げることは相反する関係にあり、両立させることは容易ではない。

【0018】本発明の目的は、上述する課題に鑑み、高いパターン検査精度と早い検査処理速度を両立しうるパターン検査装置、パターン検査方法およびパターン検査プログラムを格納した記録媒体を提供することである。

【0019】

【課題を解決するための手段】請求項1に記載する本発明のパターン検査装置の特徴は、設計データにもとづいて検査基準パターンデータを生成する検査基準データ生成部と、前記設計データに基づき作製された試料のパターンを測定し、測定パターンデータを生成する測定データ生成部と、前記検査基準データと測定データを比較照合する比較回路とを有するパターン検査装置であって、前記検査基準データ生成部が、順次一定領域ごとの設計データを読み出し、各設計データを要素図形に分け、各要素図形の形状、位置、寸法情報を含む図形情報を抽出する予備展開手段と、前記予備展開手段で抽出された図形情報を記憶保持する図形情報記憶手段と、前記図形情報記憶手段に保持された図形情報を読み出し、各図形情報における複数の要素図形を合成して新たな要素図形に置換するとともに、これに応じて発生する新たな図形情報で、前記図形情報記憶手段中の図形情報を書き換える図形合成置換手段と、前記新たな図形情報に基づき、要素図形情報をビットパターンに展開する図形展開手段と

を有することである。

【0020】上記本発明のパターン検査装置の特徴によれば、検査基準データ生成部において図形合成置換手段を有しているため、予備展開手段により展開した段階で各図形情報が有する要素図形数を図形合成置換手段を用いることにより大幅に減らすことができる。この結果、要素図形情報をビットパターンに展開する処理時間が、要素図形数の減少に応じて短縮化できる。

【0021】なお、請求項2に記載するように、上記パターン検査装置は、前記図形合成置換手段が、図形情報記憶手段に保持された図形情報を読み出して各要素図形の頂点座標を演算し隣接する要素図形を検出する隣接図形検出手段と、隣接図形が検出された場合はその複数の図形を合成した形状を模擬する図形に置き換える図形近似置換手段とを有するものであってもよい。

【0022】請求項3に記載する本発明のパターン検査方法の特徴は、設計データに基づき作製された被検査試料のパターンを測定し、測定パターンデータを生成するとともに、設計データに基づいて検査基準パターンデータを生成し、前記測定パターンデータと前記検査基準パターンデータとを比較照合することにより被検査試料のパターン検査を行うパターン検査方法において、前記検査基準パターンデータの生成が、一定領域分の設計データを要素図形に分け、各要素図形の位置と寸法情報を抽出する予備展開ステップと、前記予備展開ステップで抽出された図形情報を順次図形情報記憶手段に書き込むステップと、前記図形情報記憶手段に保持された図形情報を順次読み出し、各図形情報における複数の要素図形を合成して新たな要素図形に置換するとともに、これに応じて発生する新たな図形情報で、前記図形情報記憶手段中に記憶されていた前の図形情報を書き換える図形合成置換ステップと、前記図形情報記憶手段より順次図形情報を読み出し、該図形情報をビットパターンに展開するステップと、前記ビットパターンより、検査基準パターンデータに対応する図形イメージデータを合成するステップとを有することである。

【0023】上記本発明のパターン検査方法の特徴によれば、図形合成置換ステップにおいて、図形情報記憶手段に記憶された各図形情報の有する複数の要素図形を合成して新たな要素図形に置換することにより、各図形情報の有する要素図形の数を減少させることができる。要素図形情報をビットパターンに展開する際の図形処理数が減るため、展開処理時間を短縮化できる。

【0024】請求項4に記載する本発明のパターン検査方法の特徴は、請求項3に記載のパターン検査方法において、前記予備展開ステップと、前記図形合成置換ステップと、前記図形情報をビットパターンに展開するステップとをそれぞれ並行処理することである。

【0025】上記請求項4の本発明のパターン検査方法によれば、ビットパターン展開処理と並行して予備展開

7

処理と図形合成置換処理を行うため、予備展開処理や図形合成処理に要する時間がパターン検査全体に要する処理時間を延長することはない。また、上述するように、ビットパターン展開処理時間が図形合成置換処理を行うことにより短縮化されるため、パターン検査全体に要する時間を短縮化できる。

【0026】請求項5に記載する本発明のパターン検査プログラムを格納した記録媒体の特徴は、設計データに基づき作製された被検査試料のパターンを測定し、測定パターンデータを生成するステップと、設計データに基づいて検査基準パターンデータを生成するステップと、前記測定パターンデータと前記検査基準パターンデータとを比較照合するステップとを有するパターン検査プログラムであって、前記検査基準パターンデータを生成するステップが、一定領域分の設計データを、要素図形に分け、各要素図形の位置と寸法情報を抽出する予備展開ステップと、前記予備展開ステップで抽出された図形情報を順次図形情報記憶手段に書き込むステップと、前記図形情報記憶手段に記憶された図形情報を順次読み出し、各図形情報における複数の要素図形を合成して新たな要素図形に置換するとともに、これに応じて発生する新たな図形情報で、前記図形情報記憶手段中に記憶されていた前の図形情報を書き換える図形合成置換ステップと、前記図形情報記憶手段より順次図形情報を読み出し、該図形情報をビットパターンに展開するステップと、前記ビットパターンより、検査基準パターンデータに対応する図形イメージデータを合成するステップとを有するパターン検査プログラムを格納した記録媒体であることである。

【0027】なお、上記記録媒体には、磁気ディスク装置、光ディスク装置、光磁気ディスク装置、磁気ドラム装置、磁気テープ装置等が含まれる。上記記録媒体に記録されたプログラムによれば、上述する請求項3に記載したパターン検査方法を実現することができる。

【0028】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態について説明する。

【0029】(1、パターン検査装置の全体構成) まず、本発明の実施の形態に係るパターン検査装置の全体的な構成と動作について概説する。基本構成は、図9に示す従来のパターン検査装置とほぼ共通する。即ち、同図に示すように、本実施の形態に係るパターン検査装置は、ホスト計算機(CPU)10と、被測定試料であるフォトマスク1のパターンに対応した測定パターンデータを生成する測定データ生成部(2、3、4、5、6、7)と、設計データより検査基準パターンデータを生成する検査基準データ生成部(12、13)と、測定パターンデータと検査基準パターンデータとを比較する比較回路14とを少なくとも備えている。

【0030】測定データ生成部の基本構成は、被測定試

8

料(フォトマスク)1に形成されたパターンに対応する光学像を取得する光学像取得部(3、7、2、4)、この光学像を電気信号に変換する光電変換部(フォトダイオードアレイ)5、光電変換されたアナログ電気信号をデジタル電気信号からなる測定パターンデータに変換するセンサ回路6等から構成される。

【0031】フォトマスク1を載置する試料台2は、CPU10から指令を受けたテーブル制御回路11により、各モータを介して、X方向、Y方向の移動およびθ方向の回転が可能な3軸(X-Y-θ)マニピュレータである。試料台2の位置座標は、例えばレーザ測長システム16により測定され、その出力が位置回路15に送られる。位置回路15から出力された位置座標はテーブル制御回路11にフィードバックされる。

【0032】試料台2の上方には、光源3および集光レンズ7からなる光照射部が配置されており、光源3からの光は集光レンズ7を介してフォトマスク1に照射される。フォトマスク1および試料台2を透過した光は、拡大光学系4及び光電変換部(フォトダイオードアレイ)5の受光面に結像照射される。

【0033】光電変換部としてのフォトダイオードアレイ5は、フォトマスク1の被検査パターンに対応した測定信号を検出する。この測定信号はセンサ回路6でデジタルデータに変換され、さらにラインバッファで整列された後、測定パターンデータとして比較回路14に送られる。測定パターンデータは、例えば8ビットの符合なしデータであり、各画素の明るさを表現しているものとする。なお、比較回路14には、位置回路15を経て測定箇所の位置情報も送られる。

【0034】通常、これらの測定データは10~30MHz程度のクロック周波数に同期してフォトダイオードアレイ5から読み出し、適当なデータ並び替えを経て、ラスタ走査された2次元画像データとして取り扱う。

【0035】ビットパターン発生回路12は、CPU10のデータバスを介して、データメモリ21およびプログラムメモリ22に接続されている。データメモリ21内に格納されている設計データは、CPU10に制御されて、ビットパターン発生回路12に順次転送される。この設計データは、電子ビーム露光描画装置を用いてフォトマスクを作製した際に使用した描画データであり、描画装置の描画進行に適した短冊状にエリア分割された描画ストライプデータ120(図11(a)参照)が引用され、これを基に検査基準データとなるビットパターンデータが生成される。なお、本実施の形態に係るビットパターン発生回路12の具体的構成は後述する。

【0036】このビットパターンデータは、イメージデータとして参照データ発生回路13に送られ、データ全体にパターン検査装置での測定誤差等を考慮したばかり処理等が加えられ、最終的な検査基準パターンデータとして比較回路14に送られる。比較回路14では測定パ

ターンデータと検査基準パターンデータをレベル比較や（隣接画素や1つ飛びの画素間の）微分値を比較するなどの適切なアルゴリズムにより比較し、欠陥判定を行う。

【0037】検出した欠陥の情報はCPU10に取り込む。取り込む情報は欠陥の発生した座標やその際の測定パターンデータと検査基準パターンデータ、比較回路で判定した欠陥種別などがある。これらの情報は検査進行中あるいは検査終了後にディスプレイ装置等の出力装置24に表示したり、データメモリ21等に保存する。

【0038】なお、本実施の形態に係るパターン検査装置は、操作者からのデータや命令などの入力を受け付ける入力装置23、検査結果を出力する出力装置24、設計パターンデータなどを格納したデータメモリ21、及びパターン検査プログラムなどを格納したプログラムメモリ22等を有している。

【0039】（2、ビットパターン発生回路の構成と動作）図1は、本実施の形態に係るビットパターン発生回路12の構成を示すブロック図である。

【0040】ビットパターン発生回路12は、同図に示すように、フォトマスクを描画作製する際に描画装置において使用された描画ストライプデータを入力し一時的に蓄積するデータメモリ31a～31cと、データメモリ31a～31cから描画ストライプデータの一定エリア121に相当する設計データを順次読み出し、予め定義されている要素図形形状、位置、寸法などの図形情報を描出する予備展開回路34と、一定数分の図形情報を保持する図形情報キャッシュメモリ35と、図形情報キャッシュメモリを読み出して図形の頂点座標を演算し隣接する図形を検出する隣接図形検出回路36と、隣接図形が検出された場合はその複数の図形を合成した形状を模擬する図形に置き換える図形近似置換回路37と、上記図形情報キャッシュメモリ35から図形情報を分配する図形データ配分回路38と、分配された図形情報を要素図形の形状、位置、寸法などの情報に基づき予め定めた量子化寸法M1でビットパターンに展開し一定エリア分の図形イメージに展開し、さらにこれを一時蓄積するパターンメモリ42a～42cと、検査照合の進度に合わせてパターンメモリ42a～42cから図形イメージデータとして読み出す読み出し制御回路42とから構成する。

【0041】以下、上述するビットパターン発生回路12の動作について説明する。

【0042】なお、本実施の形態に係るパターン検査装置における測定データ生成部における被検査試料の検査精度は、例えばセンサ1画素当たりの観察寸法が0.2μmであり、フォトマスクを描画する際に用いられた設計データの寸法記述が、0.001μmを単位とする整数データである場合において、この設計データに基づく検査基準データ生成において、図形展開回路41でビッ

トパターンに展開する際の1ビット当たりの量子化寸法を例えば0.005μmとする。

【0043】本実施の形態における被測定試料のパターン欠陥検査は、図9、図10に示すように、被測定試料であるフォトマスク1を載置した試料台2をx方向あるいはy方向に連続的に移動してストライプ検査を行う。

【0044】検査するフォトマスク1を作製する際に、描画装置で使用された設計描画データである被検査パターンの描画設計データはハードディスク等のデータメモリ21に格納してあり、フォトマスク1の検査にあわせて、測定中のパターン位置に相当する部分の描画設計データを検索し、DMA転送などの手段でビットパターン発生回路12内のデータメモリ31a～31cに順次読み込んでいく。各データメモリには、図11に示すような描画ストライプデータ120中の一定エリア121毎分割されたデータが順次書き込まれる。

【0045】ここでは、3つのデータメモリ31a～31cを備えた場合を示しているが、このように複数バンク装備することにより、続く予備展開処理とCPUを介して行われるデータ転送を並列に進行させることができる。

【0046】データメモリ31a～31cの容量は、ストライプ検査1本～数本分のデータが蓄積できる程度確保して、ストライプ検査が終了する都度補充転送が必要か判断するようにすることが好ましい。

【0047】次に、予備展開回路34で、データメモリ31a～31cに読み込まれた設計描画データから順次、要素図形の形状、位置、寸法などの図形情報を抽出する。

【0048】抽出した図形情報は、図形情報キャッシュメモリ35に書き込む。図形情報キャッシュメモリ35は、一定エリア121のデータ毎に予備展開回路34から出力される図形情報を保持する。それぞれの図形情報キャッシュメモリ35は、予備展開回路34と隣接図形検出回路36および図形近似置換回路37とビットパターン展開回路38～40とが並列に行えるよう数十～数百の図形情報を保持できるようにする。

【0049】図形情報キャッシュメモリ35には、以下の図形情報(a)～(c)が、図3(a)に示すフォーマットで保存される。

(a) 要素図形の図形コード

(b) 図形の存在する座標(x, y)

(c) 辺の長さ(L1, L2)

【0050】例えば、描画ストライプの一定エリア121内に図2(a)に示すような図形パターンに対応する設計データがある場合、予備展開された段階では、描画条件に依存した形で分割された5つの要素図形(～)として把握され、図3中の「図形情報a」に相当するデータが図形情報キャッシュメモリ35に書き込まれ、保存される。

【0051】図形情報キャッシュメモリ35に一定エリア121の図形情報が保存されると、隣接図形検出回路36が動作を開始する。隣接図形検出回路36は、図形情報から頂点座標を算出し、予め定めた図形数分の情報を内部スタックで保持する。隣接図形検出回路36は新たに読み込んだ図形の頂点座標と予め内部で保持していたそれ以前の図形頂点座標とを比較して、複数の図形を合成近似できないか判断する。

【0052】隣接図形検出回路36が合成可能と判断した場合にはそれらの図形のアドレスを保持する。つまり、すでにスタックに保持していた図形には識別情報を追記し、新たに読み込んだ図形情報は識別情報とともに内部スタックに保持される。内部スタックが予め定めた図形数に達したら、順次図形近似置換回路37に送る。この際、合成近似可能と判断された図形は運動して図形近似置換回路37に送られる。

【0053】図形近似置換回路37は、合成可能の識別情報がない図形群については図形情報キャッシュメモリ35からそのままの図形情報を、図形展開回路とパターンメモリからなる図形展開手段40A~40Cに出力するよう制御する。また、合成可能の識別情報がある図形群に対しては、その合成図形形状を1つの図形で近似するよう演算し、図形情報キャッシュメモリ35上の図形情報を書き換え、書き換えた近似図形を図形展開手段40A~40Cに出力するよう制御する。

【0054】なお、上記隣接図形検出回路36と図形近似置換回路37を用いた具体的な図形合成方法については後述するが、上述する処理により、各エリアの図形情報の有する要素図形の数多くの場合減少する。例えば図2(b)示すように、予備展開回路34で抽出された時点で5個であった要素図形が、上述する図形近似置換処理により2個に縮減される。

【0055】図形展開回路41a~41cでは予め定めた展開量子化寸法M1で図形情報キャッシュメモリ35から入力された図形情報をビットパターンに展開する。展開されたビットパターンはパターンメモリ内に、図形イメージデータとして一時的に蓄積される。

【0056】このイメージデータは、一定領域を予め定めた量子化寸法M1でメッシュ上に区切られた各グリッドに図形が存在するかどうかを1または0(1bit)で表現する2値ビットパターンイメージでもよく、もしくは量子化寸法M1でメッシュ上に区切られた一つのグリッドの図形面積などから(複数bitを使用して)中間的なレベル(階調)も表現する多値ビットパターンイメージとしてもよい。

【0057】なお、2値ビットパターンで表す場合は、図形の原点座標や辺の長さを展開量子化寸法M1で切られたグリッドに当てはめるように量子化していく際、グリッドにうまく乗っていない場合には、四捨五入して近似する。辺の長さが四捨五入して零になる場合(厳密に

は始点座標と終点座標が量子化した結果同じ座標になってしまう場合)にはその図形はビットパターンとして発生しないことになる。

【0058】読み出し制御回路50は、この後比較回路において行われるフォトマスク1の測定パターンデータと検査基準パターンデータとの照合進度に合わせてパターンメモリ42a~42cからイメージデータを読み出す。

【0059】図4は、本実施の形態におけるパターン検査装置における処理動作のタイムチャートの一例を示したものである。なお、参考のため、下方に従来のパターン検査装置における図形展開処理動作のタイムチャートも示した。従来は、本実施の形態のパターン検査装置のように、ビットパターン発生回路が図形合成置換手段を有していないため、予備展開された図形情報はそのままビットパターンに展開処理されていた。よって、図2

(a)に示すような設計データは5つの要素図形(〜)情報を展開処理する必要があった。これに対し、本実施の形態のパターン検査装置を用いた場合は、図形合成置換手段によりビットパターン展開処理の際の要素図形数が図2(b)に示すように2つ(〃)に減らされるため展開処理時間が大幅に短縮できる。

【0060】また、図4に示すように、本実施の形態に係るビットパターン発生処理においては、図形情報記憶キャッシュメモリを複数バンク構造としているため、図形展開処理と並行して予備展開処理と隣接図形検出置換処理(図形合成置換処理)を進行することができる。よって、従来に比較して処理工程が増えても隣接図形展開処理時間内に図形検出置換処理を終了できるので、処理工程の負担は処理時間の延長にはならない。なお、図形検出置換処理を並行して進行する図形展開処理時間の範囲内で打ち切るように設定しておけば、ビットパターン発生回路で要する時間は、常に図形展開処理時間に律速されることとなり、上述するような図形展開処理時間の短縮化を伴い、ビットパターン発生処理全体に要する時間、引いてはパターン検査全体に要する時間が確実に短縮できる。

【0061】なお、図形データ配分回路38は、図形展開回路41a~41cの空き状況をみて、図形情報キャッシュメモリ35から図形情報を読みだし、図形展開回路41a~41cに図形情報を出力する。図形展開回路41a~41cで展開されたビットパターンはそれぞれのパターンメモリ42a~42cに出力する。

【0062】また、読み出し制御回路50は、測定データと設計データとの検査照合の進度に合わせてパターンメモリ42a~42cから図形イメージデータを読み出し合成する。

【0063】パターンメモリ42a~42cは、適当な領域分をカバーする程度のアドレス空間を持つリングバッファ構造とする。即ち、ある程度の領域の展開が済み

パターンメモリ 42a~42c にパターンが満たされた場合には、読み出されるのを待って書き込み動作を停止させる。そして、検査照合の進度に合わせてパターンメモリ 44~46 が読み進められた時点で、再度書き込み動作を再開するように制御する。

【0064】読み出し制御回路 50 は上述の合成読み出し機能のほか、読み出したアドレスのデータをゼロクリアする機能とリングバッファ構造のパターンメモリのリード/ライト動作のスタート/ストップの動作も管理する機能も有する。

【0065】(3、図形情報の処理についての実施例) 以下、ビットパターン発生回路 13 における隣接図形検出回路 36 と図形近似置換回路 37 を用いた描画設計データの図形情報の合成置換処理方法についての具体的な実施例 1~3 について説明する。

【0066】(実施例 1) 実施例 1 では、図 2 (a) に示すように、一定エリア 121 の設計パターンが予備展開の際に 5 つの要素図形として把握されている場合についての図形情報処理方法の一例について図 2、図 3 を参照して説明する。

【0067】予備展開回路 34 は、複数バンクのデータメモリ 31a~31c のうち現在測定中の検査ストライプに相当する設計データを読み出す。各データメモリには、描画ストライプ 120 の識別情報やセルと呼ばれる図形集合の繰り返しやセルの配置が既述されており、予備展開回路 34 では、これらの情報から処理すべき図形情報を抽出する。

【0068】例えば、描画ストライプ 120 の一定エリア 121 が、図 2 (a) に示すような設計パターンを有する場合、一定エリア 121 内のパターンは、図 3 (b) 中の「図形情報 a」に示す形式で図形情報キャッシュメモリ 35 に保存される。即ち、図形情報キャッシュメモリ 35 には、要素図形ごとに (1) 要素図形の図形コード、(2) 図形の存在する座標 (x, y)、(3) 辺の長さ (L1、L2) が書き込まれる。なお、この段階における要素図形の抽出は、設計データが用いられたフォトマスク描画装置の描画条件に適した形で分割されている。

【0069】隣接図形検出回路 36 は、図形情報キャッシュメモリ 35 に設計データの一定エリア 121 内の上記図形情報が保存された状態で動作を開始する。隣接図形検出回路 36 は、図形情報キャッシュメモリ 35 から図形情報を読み出し、一番目の要素図形と合成可能な図形がないか順に検索する。要素図形と要素図形は一つの要素図形に置き換え可能であるため、図形近似置換回路 37 に要素図形とを置き換えるように指示する。

【0070】図形近似置換回路 37 は、二つの要素図形との配置位置、辺の長さ、図形コードから、置き換え後の要素図形を求め、図形情報キャッシュメモリ

35 の内容を書き換える。この隣接図形の合成置換により、図形情報キャッシュメモリ 35 内の図形情報は、図 3 (b) 中の「図形情報 b」に示すように、要素図形を新たな要素図形' で置き換え、もう一方の要素図形は図形コードに NOP コード (展開する必要のない図形) を上書きしたものに書き換えられる。

【0071】このような隣接図形間の検出および置換の処理を全ての要素図形に対して予め定められた上限時間内でかつ置き換え可能な要素図形がなくなるまで、あるいは一定時間内にできる範囲まで繰り返す。即ち、これらの図形合成処理は、以下の手順 (1)~(11)) で行われる (図 3 (b) を参照のこと)。

【0072】1) 「図形情報 a」において、要素図形と合成可能な隣接要素図形がないかを検索する。(要素図形と合成可能と判断する。)

2) 要素図形と要素図形を一つの要素図形' に置き換える。これに伴い、図形情報キャッシュメモリ中の「図形情報 a」を「図形情報 b」に書き換える。

3) 「図形情報 b」において、要素図形' と合成可能な隣接要素図形がないかを検索する。(該当図形なしと判断する。)

4) 「図形情報 b」において、要素図形と合成可能な隣接要素図形がないかを検索する。(該当図形なしと判断する。)

5) 「図形情報 b」において、要素図形と合成可能な隣接要素図形がないかを検索する。(要素図形と合成可能と判断する。)

6) 要素図形と要素図形を一つの要素図形' に置き換える。これに伴い、図形情報キャッシュメモリ中の「図形情報 b」を「図形情報 c」に書き換える。

7) 「図形情報 c」において、要素図形' と合成可能な隣接要素図形がないかを検索する。(要素図形' と合成可能と判断する。)

8) 要素図形' と要素図形' を一つの要素図形'' に置き換える。これに伴い図形情報キャッシュメモリ中の「図形情報 c」を「図形情報 d」に書き換える。

9) 「図形情報 d」において、要素図形'' と合成可能な隣接要素図形がないかを検索する。(該当図形なしと判断する。)

10) 「図形情報 d」において、要素図形'' と合成可能な図形がないかを検索する。(該当図形なしと判断する。)

11) 合成可能な要素図形がなくなったため合成置換処理を終了する。

【0073】最終的に、図 2 (a) に示す 5 つの要素図形を図 2 (b) に示す 2 つの要素図形に置き換えることができる。

【0074】このように、上述した手順による要素図形の合成置換処理により、要素図形数を削減できたことにより、引き続いて行う図形展開回路 41a~41c での

ビットパターン展開処理に要する時間を短縮化できる。

【0075】(実施例2)次に、図5、図6を参照しながら、実施例2の図形情報の処理方法について説明する。実施例2は、図5(a)に示すように、一定エリア内に存在するいずれかの要素図形の寸法が量子化寸法に較べ、わずかなずれがある場合の要素図形の合成置換処理方法の一例である。

【0076】上述した実施例1の場合は、隣接図形検出回路36と図形近似置換回路37で合成置換される要素図形は、描画時に用いられる設計データの寸法記述M0単位で、誤差無く合成可能なものであったが、実際には要素図形寸法が量子化寸法に対しずれている場合も多い。この場合において、そのずれが量子化寸法の1/4以下程度の場合は、その後に行われる「ぼかし処理」等を考慮すれば検査の精度上特に問題にならないと考えられる。

【0077】そこで、実施例2では、隣接図形検出回路36に予め許容寸法(d_x , d_y)を与え、ずれ、重なり、隙間が許容寸法以下の場合は合成可能と判断して図形近似置換回路37に指示を送る。

【0078】図形近似置換回路37は、合成可能と指示された2つの要素図形にずれがある場合には、ずれの直交方向の辺の長さの長い方の要素図形を優先して、新しい要素図形に合成置換する。

【0079】例えば、データメモリ31a~31cから予備展開され、図形情報キャッシュメモリ35上に書き込みがなされた段階で、図5(a)に示すような3つの要素図形が抽出され、図形情報キャッシュメモリ35上に図6に示す「図形情報a」に相当する情報が保存される場合において、隣接図形検出回路36で、要素図形と要素図形は、y方向にずれがあるが、ずれ量(L_2-L_4)が許容寸法(d_y)より小さいため一つの要素図形に置き換え可能と判断し、図形近似置換回路37に要素図形とを置き換えるように指示する。

【0080】図形近似置換回路37では、2つの要素図形との配置位置、辺の長さ、図形コードから、置き換え後の要素図形を求める。y方向にずれがあるため、直交するx方向の寸法の長い要素図形を優先して置き換え後の要素図形'を求め、図形情報キャッシュメモリの内容を図6に示す「図形情報b」に書き換える。あとは、実施例1と同様に、隣接図形間の検出および置換の処理を全ての要素図形に対して予め定められた上限時間内でかつ置き換え可能な要素図形がなくなるまで、あるいは一定時間内にできる範囲で繰り返す。これらの一連の図形合成処理は、次のような手順(1)~5))で行われる(図6を参照のこと)。

【0081】1)「図形情報a」において、要素図形と合成可能な隣接要素図形がないかを検索する。(上述する許容寸法(d_y)を考慮の上、要素図形と合成可

能と判断する。)

2)要素図形と要素図形を一つの要素図形'に置き換える。(図形情報キャッシュメモリ中の「図形情報a」を「図形情報b」に書き換える。)

3)「図形情報b」において、要素図形と合成可能な隣接要素図形がないかを検索する。(要素図形'と合成可能と判断する。)

4)要素図形'と要素図形を一つの要素図形''に置き換える。(図形情報キャッシュメモリ中の「図形情報b」を「図形情報c」に書き換える。)

5)合成可能な要素図形がなくなったため合成置換処理を終了する。

【0082】このように、最終的に、図5(a)に示す3つの要素図形~を図5(b)に示す1つの要素図形''に置き換えることができる。

【0083】上述した手順による要素図形の合成置換処理により、要素図形数を縮減できたことにより、引き続いて行う図形展開回路41a~41cでのビットパターン展開処理に要する時間を短縮化できる。

20 【0084】(実施例3)図7、図8を参照しながら、実施例3の図形情報の処理方法について説明する。実施例3は、図7(a)に示すように、一定エリア内に存在する複数の要素図形の合成置換方法として、要素図形同士の重なりを許して、より少ない要素図形に合成置換する図形情報処理方法の一例である。

【0085】例えば、データメモリ31a~31cから予備展開され、図形情報キャッシュメモリ35上に書き込みがなされた段階で、図7(a)に示すような7つの要素図形が抽出され、図形情報キャッシュメモリ35上に図8に示す「図形情報a」に相当する情報が保存される場合に対して、実施例3では、図7(b)に示すように、要素図形と要素図形を要素図形の一部に重複する要素図形'に合成置換する。このように、要素図形同士の重なりを許した合成置換を認めることで、要素図形の数をより少なくすることができる。

【0086】合成置換された要素図形'と要素図形は、一部が重複することとなるが、2値ビットパターンイメージを使用してビットパターンを展開する場合は、パターンメモリ42a~42cに展開する際及び読み出し制御回路50で各パターンメモリ42a~42cを合成して読み出す際に各グリッドで論理和(OR)を取りながら合成処理するため重なり箇所の存在は問題とならない。

【0087】また、多値ビットパターンイメージを使用してビットパターンを展開する場合でも、パターンメモリ42a~42cに展開する際及び読み出し制御回路50で各パターンメモリ42a~42cを合成して読み出す際に各グリッドの足し算を行うため、図形が重なっている領域ではグリッドの上限値(階調の最大値)を越えてしまうが、上限値を設定する処理を行えば要素図形の

重なり箇所の存在は問題とはならない。

【0088】例えば、図形情報キャッシュメモリ35上に書き込まれた図形情報から隣接図形検出回路36で、要素図形（主図形）を読み込み、これと合成可能な隣接要素図形（従属図形）がないか順に検索する際に、通常に用いられる第1の条件とは別に、第2の条件として、主の要素図形の図形コードで両方（主図形と従属図形）の要素図形を含むような要素図形に置き換えたときに、新たに発生する要素図形領域に既に他の要素図形が重複して存在するかどうか検索する。既に他の要素図形が存在する場合は、図形近似置換回路37に合成置換するように指示を出す。図形近似置換回路37は、隣接図形検出回路36より置き換えを指示された新たな要素図形が置き換え不可能な場合、一つ目の要素図形のコードで双方の要素図形を含む要素図形に置き換える。

【0089】例えば、図形情報キャッシュメモリ35に、図7(a)に示す図形情報が、図8に示す「図形情報a」の形式で保存されているとき、隣接図形検出回路36では、まず要素図形と合成置換可能な隣接要素図形がないかを検索する。単純に置き換え可能な図形はないが、要素図形の図形コード（長方形）で、要素図形と要素図形を含む要素図形'に置き換えたときに、新たに発生する要素図形領域には要素図形が存在するため、置換可能と判断して、図形近似置換回路37に要素図形と要素図形'のアドレスを送る。図形近似置換回路37は、要素図形と'の単純な置き換えは不可能だが、要素図形の図形コードで双方を含む要素図形'に置き換え、図形情報キャッシュメモリ上の図8に示す「図形情報a」を「図形情報b」に書き換える。

【0090】あとは、実施例1と同様に、隣接図形間の検出および置換の処理をすべての要素図形に対して予め定められた上限時間内でかつ置き換え可能な要素図形がなくなるまで、あるいは一定時間内にできる範囲で繰り返す。これらの一連の図形合成処理は、次のような手順（1）～（13）で行われる（図8を参照のこと）。

【0091】1）「図形情報a」において、要素図形と合成可能な隣接要素図形がないかを検索する。（第2の条件の下、要素図形と合成可能と判断する。）

2）要素図形と要素図形'を一つの要素図形'に置き換える。これに伴い図形情報キャッシュメモリ中の「図形情報a」を「図形情報b」に書き換える。

3）「図形情報b」において、要素図形と合成可能な隣接要素図形がないかを検索する。（該当図形なしと判断する。）

4）「図形情報b」において、要素図形と合成可能な図形は無いかを検索する。（第2の条件の下、要素図形と合成可能と判断する。）

5）要素図形と要素図形'を一つの要素図形'に置き換える。これに伴い図形情報キャッシュメモリ中の「図形情報b」を「図形情報c」に書き換える。

6）要素図形と合成可能な図形は無いかを検索する。（該当図形なしと判断する。）

7）「図形情報c」において、要素図形と合成可能な図形は無いかを検索する。（第2の条件の下、要素図形と合成可能と判断する。）

8）要素図形と要素図形'を一つの要素図形'に置き換える。これに伴い図形情報キャッシュメモリ中の「図形情報c」を「図形情報d」に書き換える。

9）「図形情報d」において、要素図形'と合成可能な図形は無いかを検索する。（該当図形なしと判断する。）

10）「図形情報d」において、要素図形と合成可能な図形は無いかを検索する。（該当図形なしと判断する。）

11）「図形情報d」において、要素図形'と合成可能な図形は無いかを検索する。（該当図形なしと判断する。）

12）「図形情報d」において、要素図形'と合成可能な図形は無いかを検索する。（該当図形なしと判断する。）

13）合成可能な要素図形が無くなったため処理を終了する。

【0092】このように、最終的に、図7(a)に示す7つの要素図形～を図7(b)に示す4つの要素図形に置き換えることができる。

【0093】上述した手順による要素図形の合成置換処理により、要素図形数を削減できたことにより、引き続いて行う図形展開回路41a～41cでのビットパターン展開処理に要する時間を短縮化できる。

【0094】このように本実施の形態によれば、予備展開回路34の出力を保存する、図形キャッシュメモリ35を設け、隣接図形検出回路36、図形近似置換37によって、上述するような種々の方法で要素図形を合成し要素図形数を減らすことにより、要素図形ごとに行われる図形展開処理時間を削減し、ビットパターン発生処理全体の時間を短縮することができる。一方、被測定試料のセンサ観測画素寸法に対し十分に高精度の量子化寸法で設計データを展開できるため、データベース比較方式のパターン検査を高速にしかも高精度に行うことが可能になる。

【0095】以上、実施の形態に沿って説明したが、本発明のパターン検査装置は、上述の説明に限定されるものではない。例えば、図形展開回路41a～41cでのビットパターン展開処理を軽減するため、予備展開回路34で予備展開を行う際に、要素図形の配置座標及び辺の長さを、展開量子化寸法M1単位に量子化することも可能である。ただしこの場合、図形近似置換回路37で合成処理する前に量子化されるため、辺の長さが零になる図形が発生し、微小図形を合成して活用することによるパターンエッジの精度向上の効果が得られなくなる。

【0096】図形展開回路41a～41cの処理を軽減しつつ、精度向上の効果を得る方法として、予備展開回路34では、展開量子化寸法M1より十分に小さい量子化寸法、例えば $M1/2^n$ で量子化しておき、図形展開回路41a～41cでの量子化演算において、ビットシフト演算と四捨五入の判断のみの簡潔なものにする方法もある。

【0097】上述した実施の形態は、被測定試料としてフォトマスクを用いた場合を主に述べているが、フォトマスク以外にもLISやLCD等、フォトリソグラフィプロセスでパターン形成される種々のものを被測定試料として応用できる。

【0098】

【発明の効果】上述するように、本発明のパターン検査装置は、設計データにもとづいて検査基準パターンデータを生成する検査基準データ生成部と、前記設計データに基づき作製された試料のパターンを測定し、測定パターンデータを生成する測定データ生成部と、前記検査基準データと測定データを比較照合する比較回路とを有するパターン検査装置であって、検査基準データ生成部において図形合成置換手段を有する。

【0099】上記図形合成置換手段により、設計データから抽出される複数の要素図形情報を合成し、少ない要素図形情報に置換することで、ビットパターン展開される処理図形の数減らし、展開処理時間を短縮化できる。即ち、ビットパターン展開の際のビットあたりの量子化寸法を粗くすることなく、ビットパターン展開処理速度を上げることができ、高速で精度の高いパターン検査を実現できる。

【図面の簡単な説明】

【図1】本実施の形態に係るビットパターン発生回路の概略構成を示すブロック図である。

【図2】本実施の形態における実施例1の図形合成置換方法を説明するための設計パターンイメージを示す平面図である。

【図3】本実施の形態における実施例1の図形合成置換方法における各段階での図形情報の内容を示す図である。

【図4】本実施の形態に係るパターン検査装置におけるビットパターン発生処理に要する各処理時間のタイムチャートである。

【図5】本実施の形態における実施例2の図形合成置換方法を説明するための設計パターンイメージを示す平面図である。

【図6】本実施の形態における実施例2の図形合成置換方法における各段階での図形情報の内容を示す図であ

る。

【図7】本実施の形態における実施例3の図形合成置換方法を説明するための設計パターンイメージを示す平面図である。

【図8】本実施の形態における実施例3の図形合成置換方法における各段階での図形情報の内容を示す図である。

【図9】パターン検査装置の全体構成を示す概略ブロック図である。

【図10】被測定試料の検査方法を説明するための図である。

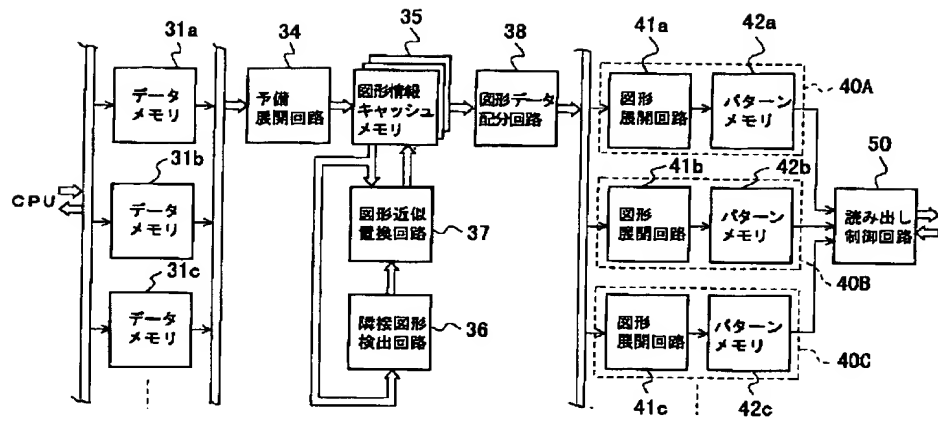
【図11】描画設計データの構成と図形情報の関係を示す概念図である。

【図12】要素図形の登録例を示す図である。

【符号の説明】

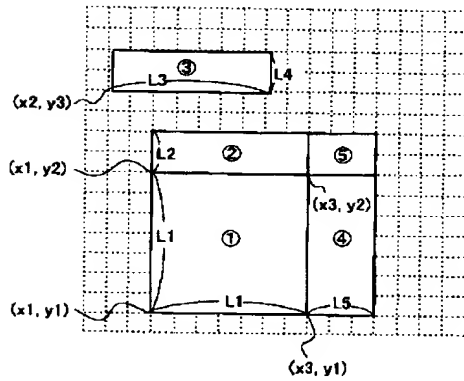
- 1 フォトマスク
- 2 XYθテーブル
- 3 光源
- 4 拡大光学系
- 5 フォトダイオードアレイ
- 6 センサ回路
- 7 位置回路
- 10 CPU
- 11 テーブル制御回路
- 12 ビットパターン発生回路
- 13 参照データ発生回路
- 14 比較回路
- 15 位置回路
- 16 レーザ測長システム
- 21 データメモリ
- 22 プログラムメモリ
- 23 入力装置
- 24 出力装置
- 31a～31c データメモリ
- 34 予備展開回路
- 35 図形情報キャッシュメモリ
- 36 隣接図形検出回路
- 37 図形近似置換回路
- 38 図形データ配分回路
- 40A～40C ビットパターン展開手段
- 41a～41c 図形展開回路
- 42a～42c パターンメモリ
- 50 読み出し制御回路
- 120 描画ストライプデータ
- 121 エリア

【図 1】

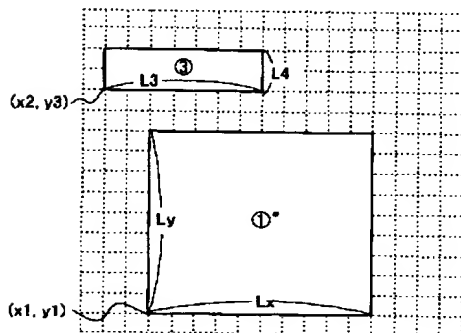


【図 2】

(a)

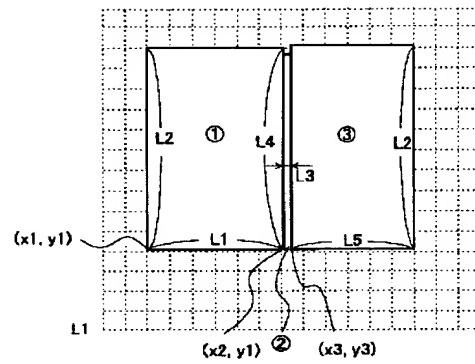


(b)

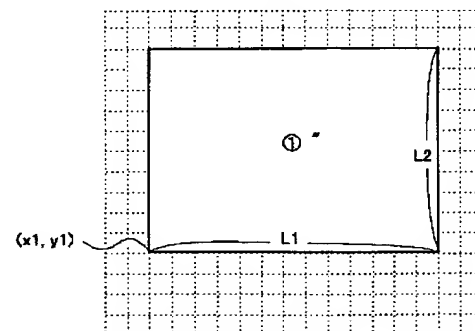


【図 5】

(a)



(b)



【図 3】

(a)

図形情報フォーマット

要素図形No.	図形コード
配置位置	
辺の長さ	

(b)

図形情報 a

①	長方形 (5)
	x1, y1
	L1, L1
②	長方形 (5)
	x1, y2
	L1, L2
③	長方形 (6)
	x2, y3
	L3, L4
④	長方形 (5)
	x3, y1
	L5, L1
⑤	長方形 (5)
	x3, y2
	L5, L2

予備展開

図形情報 b

①'	長方形 (5)
	x1, y1
	L1, Ly
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④	長方形 (5)
	x3, y1
	L5, L1
⑤	長方形 (5)
	x3, y2
	L5, L2

隣接図形検出合成置換 I

図形情報 c

①'	長方形 (5)
	x1, y1
	L1, Ly
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④'	長方形 (5)
	x3, y1
	L5, Ly
⑤'	NOP
	-
	-

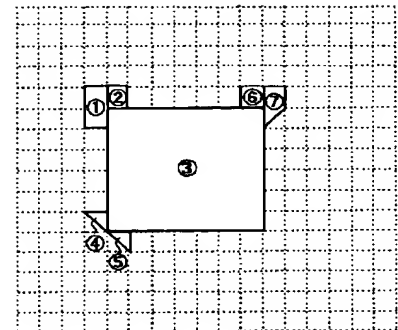
隣接図形検出合成置換 II

図形情報 d

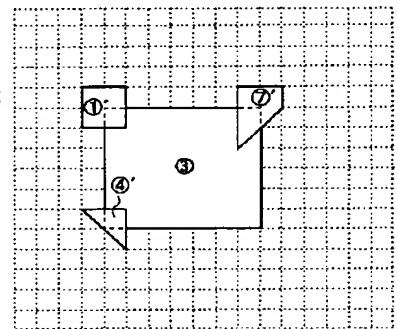
①''	長方形 (5)
	x1, y1
	Lx, Ly
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④''	NOP
	-
	-
⑤'	NOP
	-
	-

隣接図形検出合成置換 III

(a)



(b)



【図 6】

図形情報 a

①	長方形 (5)
	x1, y1
	L1, L2
②	長方形 (5)
	x2, y1
	L3, L4
③	長方形 (5)
	x3, y1
	L5, L2

予備展開

図形情報 b

①'	長方形 (5)
	x1, y1
	Lx1, L2
②'	NOP
	-
	-
③	長方形 (5)
	x3, y1
	L8, L2

隣接図形検出合成置換 I

図形情報 c

①''	長方形 (5)
	x1, y1
	Lx, L2
②'	NOP
	-
	-
③'	NOP
	-
	-

隣接図形検出合成置換 II

【図 8】

図形情報 a

①	長方形 (5)
	x1, y1
	L1, L2
②	長方形 (5)
	x2, y2
	L1, L1
③	長方形 (5)
	x2, y3
	L3, L4
④	三角形 (4)
	x1, y3
	L1, L1
⑤	三角形 (4)
	x2, y4
	L1, L1
⑥	長方形 (5)
	x3, y2
	L1, L1
⑦	台形 (8)
	x4, y1
	L1, L2

予備展開

図形情報 b

①'	長方形 (5)
	x1, y1
	Lx1, Ly2
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④	三角形 (4)
	x1, y3
	L1, L1
⑤	三角形 (4)
	x2, y4
	L1, L1
⑥	長方形 (5)
	x3, y2
	L1, L1
⑦	台形 (8)
	x4, y1
	L1, L2

隣接図形検出合成置換 I

図形情報 c

①'	長方形 (5)
	x1, y1
	Lx1, Ly1
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④'	三角形 (4)
	x1, y4
	Lx1, Ly1
⑤'	NOP
	-
	-
⑥	長方形 (5)
	x3, y2
	L1, L1
⑦	台形 (8)
	x4, y1
	L1, L2

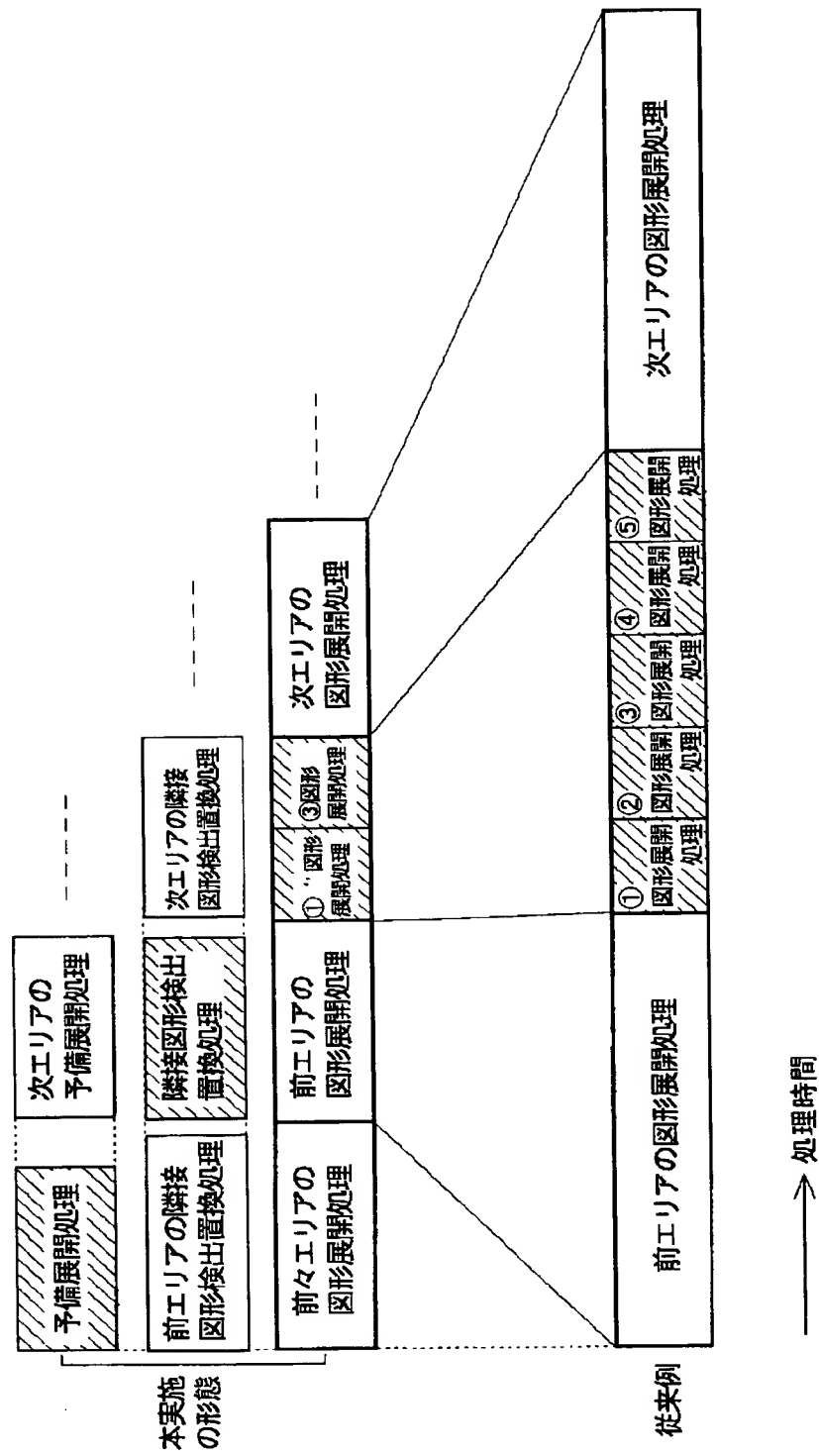
隣接図形検出合成置換 II

図形情報 d

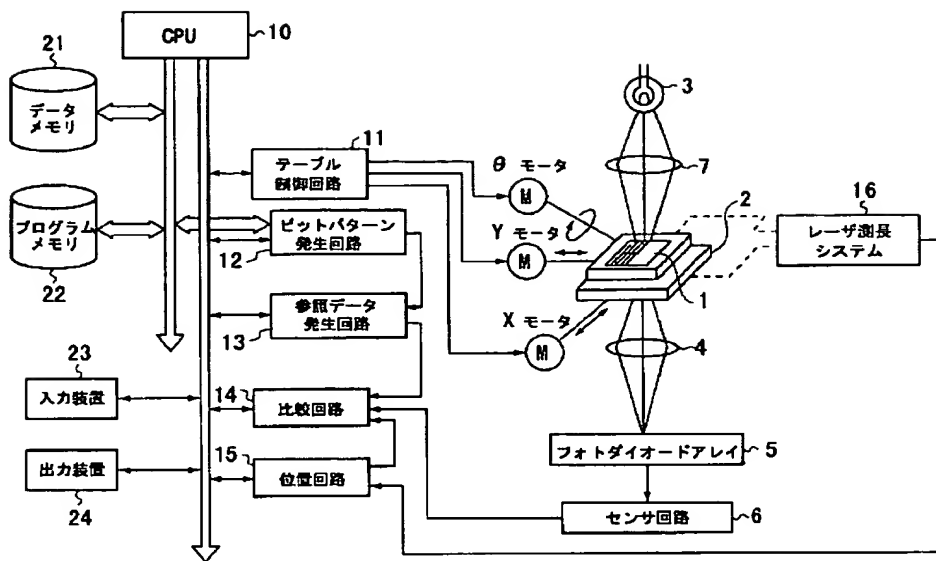
①'	長方形 (5)
	x1, y1
	Lx1, Ly1
②'	NOP
	-
	-
③	長方形 (5)
	x2, y3
	L3, L4
④'	三角形 (4)
	x1, y4
	Lx1, Ly1
⑤'	NOP
	-
	-
⑥'	NOP
	-
	-
⑦'	台形 (8)
	x3, y1
	Lx1, Ly2

隣接図形検出合成置換 III

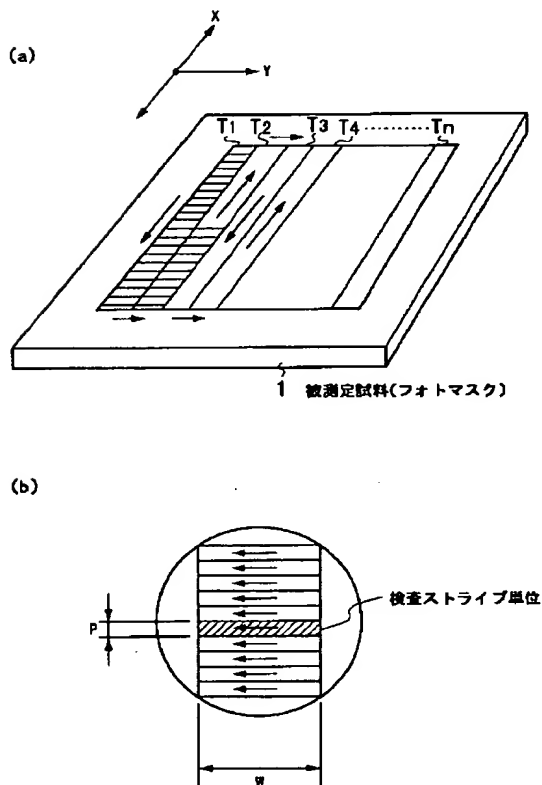
【図 4】



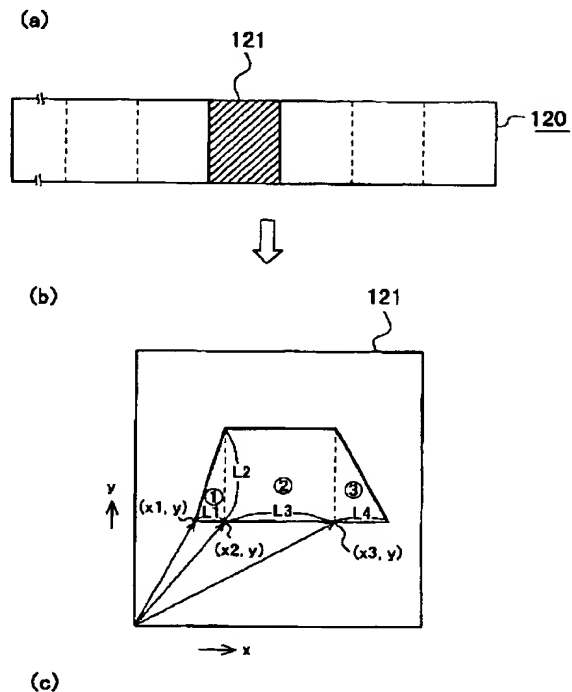
【図 9】



【図 10】



【図 11】



図形コード 正勾配直角三角形	
①	配置位置 $x1, y$ 辺の長さ $L1, L2$
②	図形コード 長方形 配置位置 $x2, y$ 辺の長さ $L3, L2$
③	図形コード 負勾配直角三角形 配置位置 $x3, y$ 辺の長さ $L4, L2$

【図 12】

図形コード	説明	図形例
(1)	正勾配直角三角形	
(2)	負勾配直角三角形	
(3)	正勾配で(1)の反転	
(4)	負勾配で(2)の反転	
(5)	四角形(長方形)	
(6)	正勾配y軸平行台形	
(7)	負勾配y軸平行台形	
(8)	正勾配で(6)の反転	
(9)	負勾配で(7)の反転	

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード(参考)

H 0 1 L 21/30

5 0 2 V

(72) 発明者 磯村 育直

神奈川県川崎市幸区小向東芝町 1 株式会社
社東芝研究開発センター内

F ターム(参考) 2G051 AA51 AA56 AA73 AB20 CA03
CB02 DA07 DA08 EA08 EA12
EA14 EB01 EB02 ED07 FA10
2H088 FA11 FA30 HA01 HA06 MA20
2H095 BD04 BD28
5B057 AA03 CA12 CA20 CB12 CB16
CC01 CE04 CE08 CH01 CH11
DA03 DB02 DC03 DC07 DC32